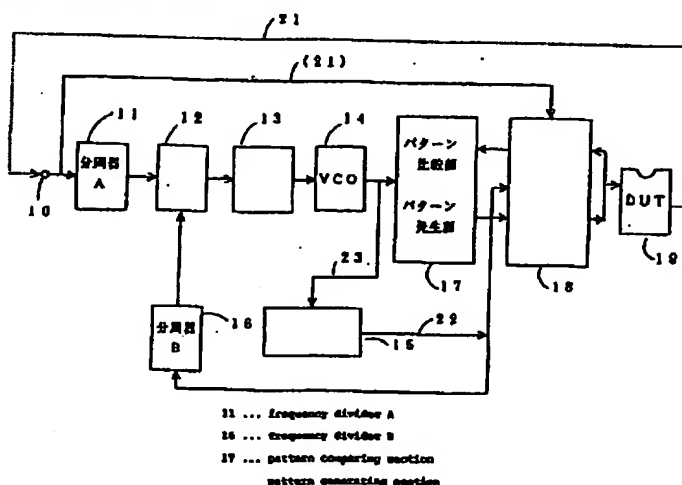




(54)発明の名称 外部クロックに同期した半導体試験装置



A semiconductor tester which fetches a clock signal generated from a device to be tested, stabilizes the clock signal by removing jitter components, and uses the stabilized clock signal to operate the device. The tester includes a frequency divider A (11) which receives the clock signal (21) from the device to be tested, a phase detecting circuit (12), a loop filter (13), a VCO (14), a frequency divider B (16), a test period generator (15), and an interleave circuit (18). The clock signal outputted from the VCO (14) is inputted to the test period generator (15) to produce a test period signal (23), which is distributed to internal circuits of the device and, at the same time, is fed back to the phase detector (12) through the frequency divider B (16).

(57) 要約

半導体試験装置において、被試験デバイスが発生するクロック信号を試験装置に取り込み、ジッタ成分を除去し、安定したクロック信号とし、装置内部の動作クロックとして使用することを目的とする。このため、被試験デバイスの発生するクロック信号(21)を入力とする分周期A(11)と位相検出回路(12)と、ループ・フィルタ(13)と、VCO(14)と分周器B(16)とを設ける。更にテスト周期発生器(15)とインターリーブ回路(18)とから構成する。そしてVCO(14)の出力である動作クロックをテスト周期発生器(15)に入力し、テスト周期信号(23)を出力し、装置内部回路へ分配するとともに、分周器B(16)を介して位相検出器(12)にもフィード・バックする。

情報としての用途のみ

PCTに基づいて公開される国際出版をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AZ	アゼルバイジャン	ES	スペイン	LR	リベリア	RU	ロシア連邦
BA	ボスニア・ヘルツェゴビナ	FI	フィンランド	LS	レソト	SD	スーダン
BB	バルバドス	FR	フランス	LT	リトアニア	SE	スウェーデン
BE	ベルギー	GB	イギリス	LU	ルクセンブルグ	SG	シンガポール
BG	ブルガリア	GA	ガボン	LV	ラトヴィア	SI	スロベニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロバキア
BI	ベナン	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BR	ブラジル	GR	ギリシャ	MG	マダガスカル	SZ	ス威士ランド
BY	ベラルーシ	HU	ハンガリー	MK	マケドニア共和国	TD	チャド
CC	中央アフリカ共和国	IE	アイルランド	ML	マリ	TG	トーゴ
CG	コンゴ	IS	アイスランド	MN	モンゴル	TJ	タジキスタン
CH	スイス	IT	イタリア	MR	モーリタニア	TM	トルクメニスタン
CI	コート・ジボアール	JP	日本	MW	マラウイ	TR	トルコ
CM	カメルーン	KE	ケニア	MX	メキシコ	TT	トリニダード・トバゴ
CN	中国	KG	キルギス共和国	NE	ニジェール	UA	ウクライナ
CU	キューバ	KR	大韓民国	NL	オランダ	UG	ウガンダ
CZ	チェコ共和国	KZ	カザフスタン	NO	ノルウェー	US	アメリカ合衆国
				NZ	ニュージーランド	UZ	ウズベキスタン
						VN	ベトナム

明 細 書

外部クロックに同期した半導体試験装置

5 技術分野

この発明は、半導体試験装置において、外部からクロック信号を取り込んでジッタを除去し内部クロックに同期させる回路に関する。

背景技術

- 10 従来の技術例を図3に示す。半導体試験装置ではその動作クロックを装置内部で発生させ、そのクロックに同期をとって試験パターンを発生させて被試験デバイスに印加し、且つ、被試験デバイスからの出力信号と期待値パターンとを比較していた。装置内部動作はすべてクロックに同期して動作しているため、ジッタが発生するという問題は生じなかつ
- 15 た。一方、デバイス自体がクロックを発生しているものがある。この場合にデバイスのクロックそのものを利用して、試験装置を動作させる方式が考えられる。しかしこの方式によると、デバイスのクロックを試験装置のクロックに同期する必要があるが、2つのクロックは全く非同期であるために図4に示すように取り込んだクロックには、ジッタが発生
- 20 するという問題があった。

本発明はこの問題を鑑みてなされたもので、外部クロックを使用するときにも、ジッタが発生しない回路を提供することを目的とする。

発明の開示

- 25 この発明の第1の実施例によれば、被試験デバイスが発生するクロックを入力端子から取り込み、 $1/N$ に分周する分周器を設け、分周器の

出力信号ともう1つの別の分周器の出力信号とを入力とする位相検出器を設ける。位相検出器の出力を入力信号とするループ・フィルタを設け、更にループ・フィルタの出力を入力とする電圧制御型発振器 (Voltage Control Oscillator 以下VCOと略す) を設ける。VCOの出力信号をテスト周期発生器の入力信号とし、且つ、VCOの出力信号を試験装置のその他の回路に分配し、テスト周期発生器の出力を入力とする1/Nの分周をする分周器を設け、その分周器の出力は、前述したように位相検出器の1つの入力とする。

10 この発明の第2の実施例によれば、例えば1Hz単位のような微細な周波数を設定できるテスト周波数発生器を設け、その出力信号を入力とする1/Nに分周する分周器を設け、分周器の出力信号ともう1つの別の分周器の出力信号とを入力とする位相検出器を設ける。位相検出器の出力を入力信号とするループ・フィルタを設け、更にループ・フィルタの出力を入力とするVCOを設ける。VCOの出力信号をテスト周期発生器の入力信号とし、且つ、VCOの出力信号を試験装置のその他の回路に分配し、テスト周期発生器の出力を入力とする1/Nの分周をする分周器を設け、その分周器の出力は、前述したように位相検出器の1つの入力とする。

20

このように、上記の各実施例は構成されているので、分周器Aと位相検出器とループ・フィルタとVCOと分周器Bとの相互作用により、1つのPLL (Phase Locked Loop) 回路を形成し、非同期で取り込んだクロック信号を安定化した動作クロックにする。即ち、ジッタ成分の無い動作クロックを提供する働きをなす。

25

図面の簡単な説明

図 1 は、実施例 1 を示すブロック図である。

図 2 は、実施例 2 を示すブロック図である。

図 3 は、従来技術を示すブロック図である。

5 図 4 は、ジッタを説明する図である。

発明を実施するための最良の形態

被試験デバイス 19 から入力端子 10 に入力したクロック信号 21 は、カウンタを用いてその周期を測定しておき、その値をあらかじめテスト周期発生回路 15 に設定しておく。実施例 1 と 2 との相違はクロック発生手段が周波数発生器 20 そのものか、或いは被試験デバイス 19 の発生するクロックかの違いである。よって以下の説明は共通とする。次に分周器 A 11 に入力する前のクロック信号 21 を、被試験デバイス 19 との入出力の同期をとるためのクロックとしてインターリーブ回路 15 8 にも入力しておく。

入力した非同期のクロック信号 21 の周波数を f とする。このクロック信号 21 を、 $1/N$ に分周する分周器 A・11 を設けこれに inputs 。従って分周器 A・11 の出力は $f_1 = f/N$ である。次に 2 つの入力端子を持つ位相検出器 12 を設ける。1 つの入力信号は f_1 であり、もう 1 つの入力端子には f_2 なる周波数信号を入力する。位相検出器 12 は f_1 と f_2 との周波数差を出力し、ループ・フィルタ 13 ではこの周波数差分を入力信号として、それに対応した電圧信号に変換する。VCO 14 では変換された電圧信号を周波数信号に変換し、これを試験装置の動作クロック 23 とする。

25 テスト周期発生器 15 は、この動作クロック 23 を入力として、設定されたテスト周期信号 22 を発生し、試験装置内部回路で使用すると

もに、分周器 B・16 へも入力して $1/N$ に分周して $f/2$ なる周波数信号を位相検出器 12 のもう 1 つの入力端子に入力する。これにより PLL 回路が形成されて、非同期で取り込んだクロック信号 21 を安定化した動作クロック 23 にする。インターリーブ回路 18 は、パターン信号 5 を被試験デバイス 19 に印加するときや、被試験デバイス 19 からの出力信号を受け取るときに、信号の受け渡しを確実にを行うためにテスト周期信号 22 からクロック信号 21 へ、クロック信号 21 からテスト周期信号 22 へ、との間でクロックの乗り換えを行う。

そして、分周分解能未満を微調した信号供給を可能とする。

- 10 なお、位相差を吸収するインターリーブ回路の詳細については、例えば日本国実用新案登録願、平成 5 年第 73506 号に記述がある。

産業上の利用可能性

本発明は以上のように構成されるので、以下のような効果を奏する。

- 15 外部クロックを使用するときにも、ジッタが発生しない回路を提供することができた。このため、被試験デバイス 19 の実動作クロックで試験装置を動作させることが可能であり、また、微細な周波数単位でもクロックを設定できるので、微小な周波数分解能を要求されるときにも対応でき、その効果ははなはだ大である。

20

25

請 求 の 範 囲

1. 被試験デバイス(19)のクロック信号(21)を入力として取り込み、これを入力とする分周器A(11)と、
 - 5 分周器A(11)と分周器B(16)との出力信号とを入力とし、2つの入力信号の周波数差を出力する位相検出器(12)と、
位相検出器(12)の出力を入力として、周波数を電圧信号に変換するループ・フィルタ(13)と、
ループ・フィルタ(13)の出力信号を入力とする電圧制御型発振器
10 (14)と、
電圧制御型発振器(14)の出力信号を入力とするテスト周期発生器(15)と、
テスト周期発生器(15)の出力信号を入力とする分周器B(16)と、
15 テスト周期発生器(15)の出力信号とクロック信号(21)とを入力とし、位相差を吸収するインターリーブ回路(18)と、
を具備したことを特徴とする外部クロックに同期した半導体試験装置。
2. クロック信号を発生可能なテスト周波数発生器(20)と、
 - 20 当該周波数発生器(20)の出力であるクロック信号(21)を入力とする分周器A(11)と、
分周器A(11)と分周器B(16)との出力信号とを入力とし、2つの入力信号の周波数差を出力する位相検出器(12)と、
位相検出器(12)の出力信号を入力として、周波数を電圧信号に変
25 換するループ・フィルタ(13)と、
ループ・フィルタ(13)の出力電圧を入力とする電圧制御型発振器

(14) と、

電圧制御型発振器 (14) の出力信号を入力とするテスト周期発生器
(15) と、

テスト周期発生器 (15) の出力信号を入力とする分周器 B (16)
5 と、

テスト周期発生器 (15) の出力信号とクロック信号 (21) とを入
力とし、位相差を吸収するインターリーブ回路 (18) と、
を具備したことを特徴とする外部クロックに同期した半導体試験装置。

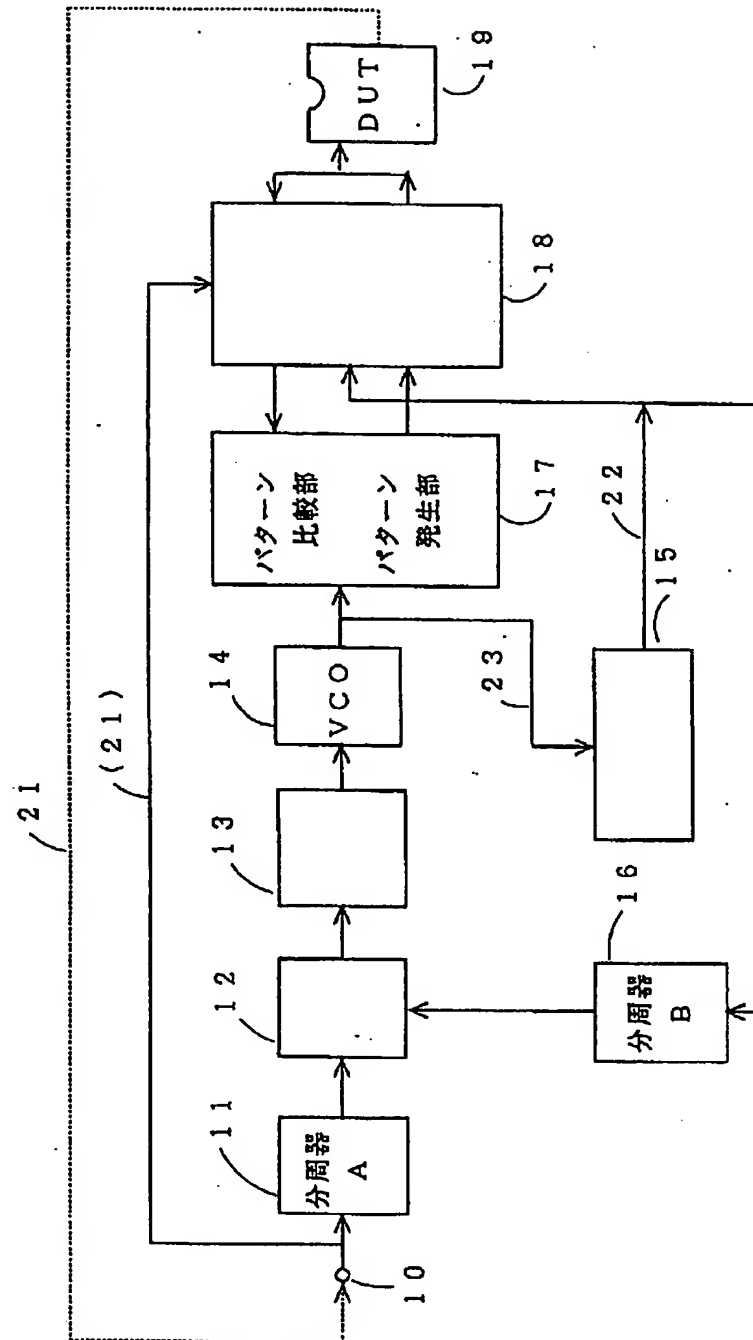
10

15

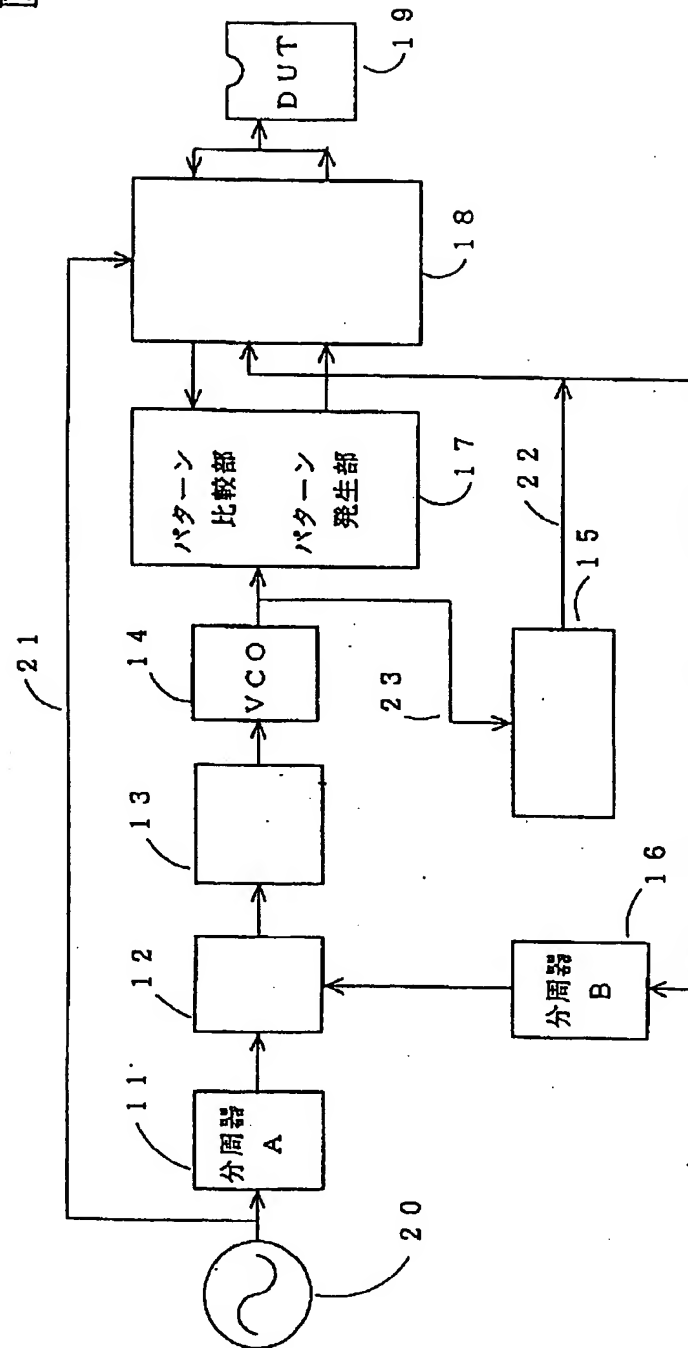
20

25

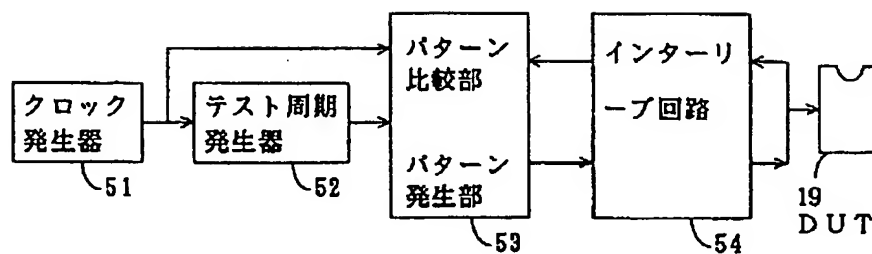
第 1 図



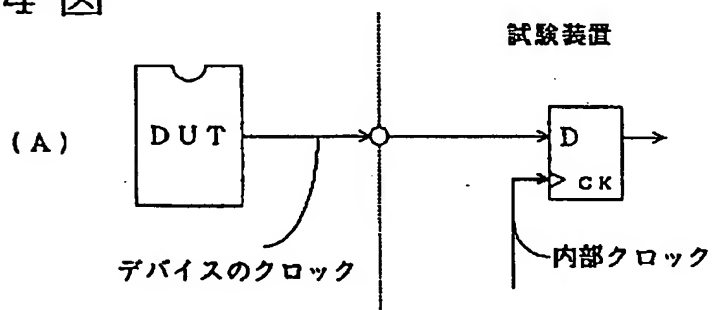
第 2 図



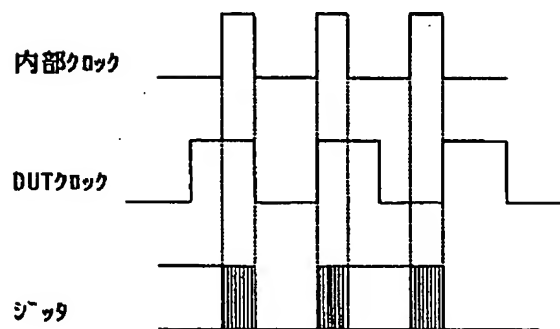
第 3 図



第 4 図



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/01438

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-38979, U (Advantest Corp.), July 14, 1995 (14. 07. 95), Fig. 1 (Family: none)	1, 2
Y	JP, 56-16547, Y2 (Sharp Corp.), April 17, 1981 (17. 04. 81), Line 2, column 4 to line 19, column 5, Fig. 3 (Family: none)	1, 2
Y	JP, 62-11181, A (NEC Corp.), January 20, 1987 (20. 01. 87), Line 20, lower left column to line 7, lower right column, page 2, Fig. 1(d) (Family: none)	1, 2
Y	JP, 63-148176, A (Ando Electric Co., Ltd.), June 21, 1988 (21. 06. 88), Fig. 1 (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date of the document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

October 3, 1995 (03. 10. 95)

Date of mailing of the international search report

October 24, 1995 (24. 10. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年
 日本国公開実用新案公報 1971-1995年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 7-38979, U (株式会社 アドバンテスト), 14. 7月. 1995 (14. 07. 95), 第1図 (ファミリーなし)	1, 2
Y	JP, 56-16547, Y2 (シャープ株式会社), 17. 4月. 1981 (17. 04. 81), 第4欄第2行-第5欄第19行, 第3図 (ファミリーなし)	1, 2
Y	JP, 62-11181, A (日本電気株式会社),	1, 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日
 若しくは他の特別な理由を確立するために引用する文献
 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日
 の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と
 矛盾するものではなく、発明の原理又は理論の理解のため
 に引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規
 性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文
 献との、当業者にとって自明である組合せによって進歩性
 がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

03. 10. 95

国際調査報告の発送日

24.10.95

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小 川 浩 史



2 G 9 1 1 4

電話番号 03-3581-1101 内線 3226

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	<p>20. 1月. 1987 (20. 01. 87), 第2頁左下欄第20行-同頁右下欄第7行, 第1図(d) (ファミリーなし)</p> <p>JP, 63-148176, A (安輪電気株式会社), 21. 6月. 1988 (21. 06. 88), 第1図 (ファミリーなし)</p>	1, 2